

**SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF**

Patent Number: JP9199416  
Publication date: 1997-07-31  
Inventor(s): ASAYAMA HIDEKAZU; HORAI MASATAKA  
Applicant(s): SUMITOMO SITIX CORP  
Requested Patent: ☐ JP9199416  
Application Number: JP19960024796 19960117  
Priority Number(s):  
IPC Classification: H01L21/20  
EC Classification:  
Equivalents: JP3381816B2

**Abstract**

**PROBLEM TO BE SOLVED:** To maintain gettering effect by a method wherein the defect density, which is given when epitaxial growth process is conducted on a silicon semiconductor substrate and grown by the subsequent heat treatment, is used as the intrinsic gettering faculty in the specific range of value.

**SOLUTION:** A silicon wafer is retained at a high temperature for the prescribed hours when it is epitaxially grown, and then it is cooled down at a specific cooling speed. Oxygen deposition is accelerated when heat treatment is successively conducted, and an intrinsic gettering (IG) faculty having defect density of  $10^{6}$  to  $10^{7}$  cm<sup>-2</sup> is given. This phenomenon happened in the interior only of a substrate where oxygen is saturably present, and said phenomenon does not happen in the epitaxial layer which becomes a device active region because oxygen is not present there. As a result, a device active region, having excellent crystallizability with a stable IG region, can be secured without deterioration in quality of the epitaxial layer having high crystallizability.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199416

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/20

H 0 1 L 21/20

審査請求 有 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平8-24796

(22) 出願日 平成8年(1996)1月17日

(71) 出願人 000205351

住友シチックス株式会社

兵庫県尼崎市東浜町1番地

(72) 発明者 浅山 英一

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(72) 発明者 宝来 正隆

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(74) 代理人 弁理士 押田 良久

(54) 【発明の名称】 半導体基板とその製造方法

(57) 【要約】

【課題】 コストを増大させるEGやIG処理を必要とせず、安定した内部IG領域と高い結晶性を有するデバイス活性領域とを合わせ持つ半導体基板の提供。

【解決手段】 1150℃以上の高温でエピタキシャル堆積処理を施した後に10K/s以上の速度で冷却することで、デバイスプロセスにおける初期の700～1000℃のプロセスにおいて十分に欠陥の生成が可能であり、EG処理や特別に結晶欠陥を生成させるためのIG処理を施さなくても、デバイスプロセス全体を通じてゲッタリング効果の維持が可能となる。

## 【特許請求の範囲】

【請求項1】 シリコン半導体基板のエピタキシャル成長を行うプロセス時に付与され、その後の熱処理により成長する欠陥密度が $10^6 \sim 10^7 \text{ cm}^{-2}$ のイントリンシックゲッターリング能を有する半導体基板。

【請求項2】 シリコン半導体基板に $1150^\circ\text{C}$ 以上でエピタキシャル成長をさせた後、該基板を $10\text{K/s}$ 以上の速度で冷却し、基板内にイントリンシックゲッターリング能を付与した半導体基板の製造方法。

【請求項3】 請求項2において、エピタキシャル成長後の熱処理の温度範囲が $700 \sim 1000^\circ\text{C}$ である半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体基板として利用されるエピタキシャル層を基板上に成長させたエピタキシャルウェーハに係り、エピタキシャル成長を行うプロセス時に特定の熱処理を行い内部欠陥核を導入し、基板内にイントリンシックゲッターリング能を付与した半導体基板とその製造方法に関する。

## 【0002】

【従来の技術】現在シリコン半導体デバイスの高集積化は急速に進行しており、シリコンウェーハに要求される特性はますます厳しくなっている。高集積化デバイスにおいては、デバイスが形成されるいわゆるデバイス活性領域に結晶欠陥、あるいはドーパント以外の金属不純物が含まれていると、リーク電流の増大などの電気的特性の劣化を招く。

【0003】従来、高集積化シリコン半導体デバイスは、CZ法で育成されたCZ-Si基板が用いられてきたが、これらのCZ-Si基板には過飽和の格子間酸素が約 $10^{18} \text{ atoms/cm}^3$ のオーダーで含まれており、デバイスプロセスにおいて酸素析出物や転位、積層欠陥などの結晶欠陥が誘起されることはよく知られている。

【0004】しかし、従来、LOCOS形成やWELL拡散層形成のために $1100 \sim 1200^\circ\text{C}$ の高温で数時間の熱処理が行われていたため、基板表面近傍では格子間酸素の外方拡散によって、表面近傍の数 $10\mu\text{m}$ には結晶欠陥のない所謂DZ(Denuded Zone)層が自然に形成され、ウェーハ表面のデバイス活性領域での結晶欠陥の発生が自然に抑制されていた。

【0005】しかしながら半導体デバイスの微細化に伴い、WELL形成に高エネルギーイオン注入が用いられ、デバイスプロセスが $1000^\circ\text{C}$ 以下の低温で行われるようになると、上記の酸素外方拡散が十分に起こらず、表面近傍でのDZ層の形成が困難となってきた。このために基板の低酸素化が行われてきたが、結晶欠陥の発生を完全に抑制することは困難であった。

## 【0006】

【発明が解決しようとする課題】このようなことから、結晶欠陥をほぼ完全に含まないエピタキシャル層を基板上に成長させたエピタキシャルウェーハは、今日の高集積化デバイスに多く用いられている。しかしながら、結晶の完全性が高いエピタキシャルウェーハを用いても、その後のデバイス工程におけるエピタキシャル膜の金属不純物汚染はデバイスの特性を悪化させる。

【0007】従って、金属不純物をデバイス活性領域から離れた場所(シンク)に捕獲させるゲッターリング技術が必要となる。従来は、デバイスプロセスの熱処理中に自然に誘起される酸素起因の結晶欠陥をシンクとするイントリンシックゲッターリング(IG)やサンドブラスト、 $\text{Si}_3\text{N}_4$ 膜あるいはPoly-Si膜の成長などによる裏面歪付けに代表されるイクストリンシックゲッターリング(EG)が用いられてきた。

【0008】しかし、エピタキシャル工程では $1050 \sim 1200^\circ\text{C}$ の高温熱処理が施されるためにCZ-Si基板に内在する酸素析出核が縮小、消滅し、その後のデバイスプロセスにおいて基板内に充分に結晶欠陥を誘起することが困難である。従って、デバイスプロセスの初期においてはもちろんのこと、プロセス全体にわたって金属不純物に対するIG効果が低減するという新たな問題が生じた。

【0009】このためゲッターリング方法としてはEGの他に、エビ工程の前後にウェーハに熱処理を施すことにより故意に生成させた結晶欠陥をシンクとするIGが用いられることになる。この熱処理は基本的に、酸素の外方拡散によりウェーハ表面の酸素濃度を減少させ、デバイス活性領域での酸素析出物の生成を抑制する高温熱処理( $1000 \sim 1200^\circ\text{C}$ )、欠陥核生成のための低温熱処理( $600 \sim 800^\circ\text{C}$ )および成長のための中温熱処理( $800 \sim 1000^\circ\text{C}$ )から構成されており、コストの増大の問題があった。

【0010】また、EG処理においてはコストの問題の他に歪み層からのシリコン片の剥がれによるパーティクルの発生といった問題があった。

【0011】この発明は、上述した問題に鑑み、コストを増大させるEGやIG処理を必要とせず、安定した内部IG領域と高い結晶性を有するデバイス活性領域とを合わせ持つ半導体基板とその製造方法を提供することを目的としている。

## 【0012】

【課題を解決するための手段】発明者らは、安定した内部IG領域と高い結晶性を有するデバイス活性領域とを合わせ持つ半導体基板を目的に、内部IG領域の生成について種々検討した結果、エピタキシャル工程において、シリコンウェーハに $1150^\circ\text{C}$ 以上でエピタキシャル成長をさせた後に、一旦基板を $10\text{K/s}$ 以上の速度で冷却することにより、基板内に内部IG領域の欠陥核を生成、付与できることを知見し、この発明を完成し

た。

【0013】この発明は、シリコン半導体基板のエピタキシャル成長を行うプロセス時に付与され、その後の熱処理により成長する欠陥密度が $10^6 \sim 10^7 \text{ cm}^{-2}$ のイントリンシックゲッタリング能を有する半導体基板、並びに、シリコン半導体基板に $1150^\circ\text{C}$ 以上でエピタキシャル成長をさせた後、該基板を $10 \text{ K/s}$ 以上の速度で冷却し、基板内にイントリンシックゲッタリング能を付与し、さらに、例えばエピタキシャル成長後に $700 \sim 1000^\circ\text{C}$ の温度範囲の熱処理によって、これを発揮させる半導体基板の製造方法を提案する。

【0014】

【発明の実施の形態】この発明による製造方法は、シリコンウェーハをエピタキシャル成長時に $1150^\circ\text{C}$ 以上の高温に所定時間保持し、その後、特定の冷却速度で冷却することにより、続く熱処理の際に酸素析出を促進してIG能を付与することを特徴としている。この現象は、酸素が過飽和に存在する基板内部でのみ起こり、デバイス活性領域となるエピタキシャル層では酸素が存在しないことから起こらないため、極めて高い結晶性を有するエピタキシャル層の品質を劣化させることなく、安定したIG領域と良好な結晶性を有するデバイス活性領域を確保することができる。

【0015】この発明において、エピタキシャル成長の処理温度としては、 $1150^\circ\text{C} \sim 1250^\circ\text{C}$ が望ましく、また、冷却速度は $10 \text{ K/s} \sim 100 \text{ K/s}$ の範囲が好ましい。エピタキシャル成長後の熱処理の際に $10^6 \sim 10^7 \text{ cm}^{-2}$ の高い密度の欠陥を生成させるのに、この温度範囲並びに冷却速度の各下限値が必要であるが、各上限値を越えるとシリコンウェーハにスリップや反りが発生するため、上記の範囲が好ましい。

【0016】この発明によるシリコンウェーハは、エピタキシャル成長後の $700 \sim 1000^\circ\text{C}$ の温度範囲での熱処理においては、熱処理温度に依存せず $10^6 \sim 10^7 \text{ cm}^{-2}$ の高い密度の欠陥が生成することを特徴としている。このことは、デバイスプロセスの初期に行われる $700 \sim 1000^\circ\text{C}$ での酸化や窒化処理により欠陥を充分に生成させることが可能であり、IG効果がデバイスプロセス全体にわたって維持されることを示している。従ってEG処理や、エビ工程の前後に特別に結晶欠陥を生成させるためのIG処理が必要ではなくなるため、この発明は、シリコンウェーハの製造コストの面で極めて有効である。

【0017】

【実施例】試料としてボロン添加量により抵抗率を変化させた5種類（抵抗率： $4 \text{ m}\Omega\text{cm}$ 、 $7 \text{ m}\Omega\text{cm}$ 、 $11 \text{ m}\Omega\text{cm}$ 、 $50 \text{ m}\Omega\text{cm}$ 、 $500 \text{ m}\Omega\text{cm}$ ）のP型（100）8インチCZ-Siウェーハ（酸素濃度： $1.1 \times 10^{17} \text{ atoms/cm}^3$ ）を用いた。

【0018】これらの試料をランプ加熱方式の横型CV

Dエピタキシャル装置により、酸素雰囲気中で $1150^\circ\text{C}$ で60秒間ベーキングを行った後、堆積処理を行った。堆積処理はトリクロロシランを原料ガスとして用い、 $1100^\circ\text{C}$ 、 $1150^\circ\text{C}$ 、 $1200^\circ\text{C}$ の3種類の温度で180秒間堆積処理を行い、約 $3 \mu\text{m}$ のエピタキシャル層を堆積させた。

【0019】堆積後、各温度から $5 \text{ K/s}$ 、 $10 \text{ K/s}$ 、 $15 \text{ K/s}$ の3種類の速度で冷却した。その後、乾燥酸素雰囲気中で $1000^\circ\text{C}$ で16時間の熱処理並びに次に示す2段階熱処理を行った。すなわち、 $700^\circ\text{C}$ 、 $800^\circ\text{C}$ 、 $900^\circ\text{C}$ の各温度でそれぞれ4時間ずつ熱処理をした後、 $1000^\circ\text{C}$ で16時間熱処理を施した。

【0020】これらの熱処理試料について、ライトエッチングを行い、光学顕微鏡により観察を行った。観察結果を図1～図3に示し、堆積処理温度がそれぞれ $1100^\circ\text{C}$ 、 $1150^\circ\text{C}$ 、 $1200^\circ\text{C}$ の場合を示している。各図において、各A図は堆積処理後の冷却速度が $5 \text{ K/s}$ 、各B図は $10 \text{ K/s}$ 、各C図は $15 \text{ K/s}$ の場合であり、グラフの縦軸は欠陥密度、横軸はエピタキシャル工程後の2段階熱処理における、1段目の熱処理温度を示しており、 $1000^\circ\text{C}$ での1段階熱処理の結果は図中黒印で示している。

【0021】図1～図3から明らかなように、エピタキシャル堆積処理温度が $1100^\circ\text{C}$ のとき、並びに $1150^\circ\text{C}$ と $1200^\circ\text{C}$ で処理した後 $5 \text{ K/s}$ で冷却したときでは、エピタキシャル後の1段目の熱処理温度が増大するに伴い欠陥密度は減少する。これは、エピタキシャル堆積処理およびエピタキシャル後の1段目の熱処理を施すことにより、それぞれの温度で存在可能な臨界サイズ以下の微小欠陥が縮小、消滅し、次の $1000^\circ\text{C}$ での熱処理において臨界サイズ以上の核のみが成長したものである。これらの試料では欠陥密度は低くIG効果は期待されない。

【0022】これに対して図2、図3に示すごとく、エピタキシャル堆積処理温度が $1150^\circ\text{C}$ 並びに $1200^\circ\text{C}$ で、 $10 \text{ K/s}$ および $15 \text{ K/s}$ で冷却したときでは、全ての抵抗率の試料においてエピタキシャル後の1段目の熱処理温度にかかわらず、さらには低温での核生成処理を含まない $1000^\circ\text{C}$ での1段階熱処理でも欠陥密度は $10^6 \sim 10^7 \text{ cm}^{-2}$ の高い値を示している。これは、 $1150^\circ\text{C}$ と $1200^\circ\text{C}$ でのエピタキシャル堆積処理では、 $1100^\circ\text{C}$ よりも多くの欠陥核が消滅するものの、この温度から $10 \text{ K/s}$ 以上の速度で冷却することにより、エピタキシャル後の熱処理での欠陥生成が増大したものと考えられる。

【0023】

【発明の効果】実施例から明らかなように、 $1150^\circ\text{C}$ 以上の高温でエピタキシャル堆積処理を施した後に $10 \text{ K/s}$ 以上の速度で冷却することで、高密度の内部欠陥を発生させ、IG効果を増大させることができた。すな

わち、エピタキシャル工程の高温熱処理による酸素の外方拡散によりデバイス活性領域が十分に確保されること、ならびに欠陥密度は高温から急冷した後の析出処理温度に大きな依存性がないことを考えると、エピタキシャル工程において高温からの急冷処理を施すことにより、デバイスプロセスにおける初期の700～1000℃のプロセスにおいて十分に欠陥の生成が可能であり、EG処理や特別に結晶欠陥を生成させるためのIG処理を施さなくても、デバイスプロセス全体を通じてゲッターリング効果の維持が可能となる。

【図面の簡単な説明】

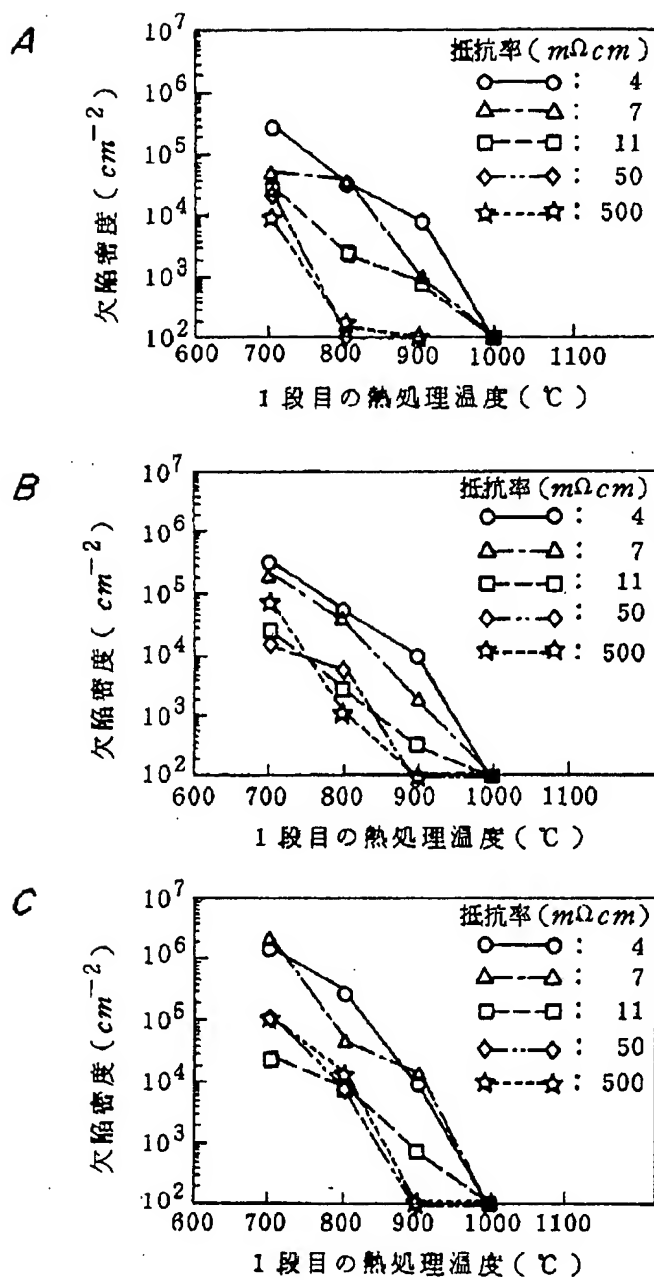
【図1】エピタキシャル工程での堆積処理温度及び冷却速度が欠陥密度に及ぼす影響を示すグラフであり、縦軸は欠陥密度、横軸はエピタキシャル工程後の2段階熱処理における1段目の熱処理温度を示し、Aは堆積処理後の冷却速度が5K/s、Bは10K/s、Cは15K/s

の場合で、いずれも堆積処理温度が1100℃の場合である。

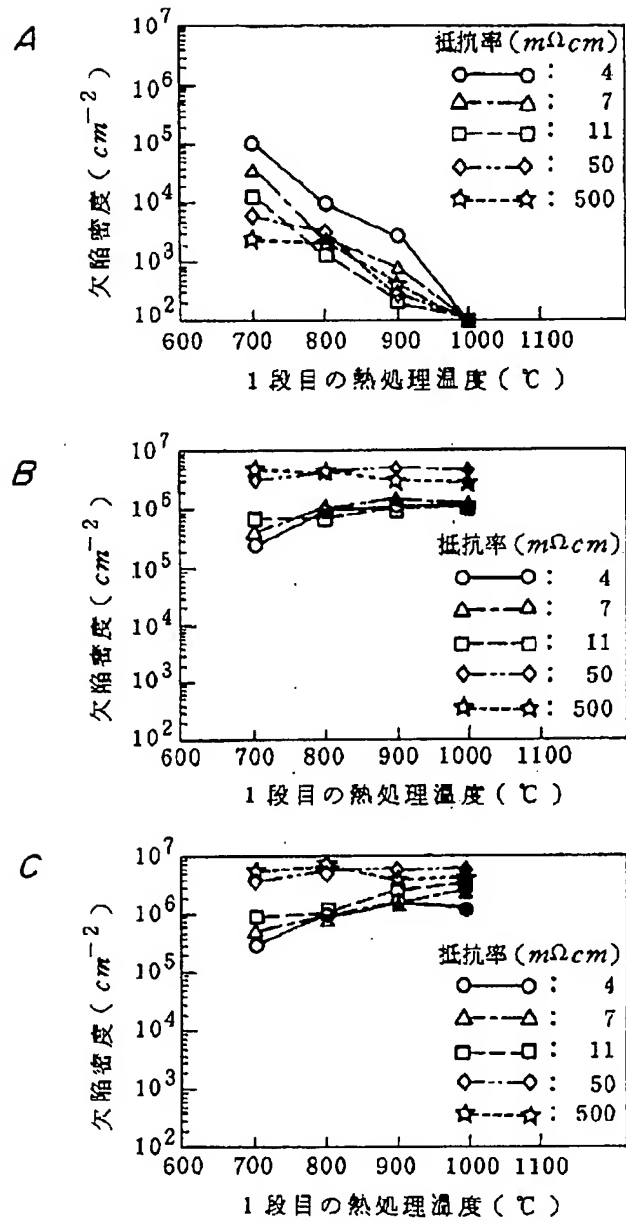
【図2】エピタキシャル工程での堆積処理温度及び冷却速度が欠陥密度に及ぼす影響を示すグラフであり、縦軸は欠陥密度、横軸はエピタキシャル工程後の2段階熱処理における1段目の熱処理温度を示し、Aは堆積処理後の冷却速度が5K/s、Bは10K/s、Cは15K/sの場合で、いずれも堆積処理温度が1150℃の場合である。

【図3】エピタキシャル工程での堆積処理温度及び冷却速度が欠陥密度に及ぼす影響を示すグラフであり、縦軸は欠陥密度、横軸はエピタキシャル工程後の2段階熱処理における1段目の熱処理温度を示し、Aは堆積処理後の冷却速度が5K/s、Bは10K/s、Cは15K/sの場合で、いずれも堆積処理温度が1200℃の場合である。

【図1】



【図2】



【図3】

